

PATENT
0941-0308P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Chih-Ping TAN Conf.:
Appl. No.: 09/930,204 Group: UNASSIGNED
Filed: August 16, 2001 Examiner: UNASSIGNED
For: METHOD FOR PROTECTING MOS COMPONENTS
FROM ANTENNA EFFECT AND THE APPARATUS
THEREOF

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

December 19, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN, R.O.C.	090105923	March 14, 2001

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

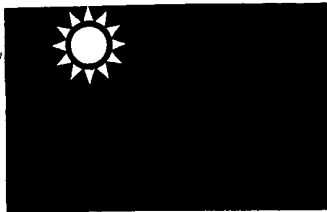
By Joe McKinney Muncy
Joe McKinney Muncy, #32,334

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

RECEIVED
DEC 21 2001
TC 1700

KM/asc
0941-0308P

Attachment



Aug 16 2001
 Attorney David No. 0941-0308P
 Birch, Stewart Korsch & Birch LLP
 (703) 205-8000



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
 MINISTRY OF ECONOMIC AFFAIRS
 REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
 其申請資料如下：

This is to certify that annexed is a true copy from the records of this
 office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 03 月 14 日
 Application Date

申請案號：090105923
 Application No.

申請人：台灣積體電路製造股份有限公司
 Applicant(s)

RECEIVED
 DEC 21 2001
 TC 1700

局長
 Director General

陳明邦

發文日期：西元 2001 年 10 月 16 日
 Issue Date

發文字號：09011015291
 Serial No.

RECEIVED
 JAN 15 2002
 TC 2600 MAIL ROOM

申請日期：

案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	避免MOS元件遭受天線效應破壞之方法及其裝置
	英文	
二、 發明人	姓名 (中文)	1. 譚治平
	姓名 (英文)	1. Chih-Ping Tan
	國籍	1. 中華民國
	住、居所	1. 台北市永吉路278巷48弄16號4樓
三、 申請人	姓名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區園區三路121號
	代表人 姓名 (中文)	1. 張忠謀
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：避免MOS元件遭受天線效應破壞之方法及其裝置)

一種避免MOS元件遭受天線效應破壞之方法及其裝置，透過旁路PMOS電晶體與旁路NMOS電晶體之設置，能夠將因天線效應所累積之不同極性電荷，有效地予以放電排除，以避免積體電路內MOS元件之薄閘極氧化層遭受破壞、或改變MOS元件之特性。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

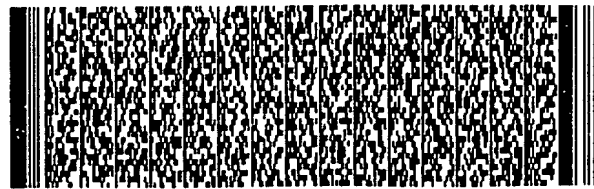
本發明係有關於一種MOS元件之保護方法及其裝置，特別是有關於一種避免MOS元件遭受天線效應破壞之方法及其裝置。

在電漿蝕刻中，電漿所導致之元件損壞，稱為電漿電荷累積損壞(Plasma Charging Damages)，或稱之天線效應(Antenna Effect)。電漿中由於局部電荷不均勻，造成電荷累積在面積很大或邊長很長的導體上(如多晶矽、鋁合金)，這些電荷將在很薄的閘極氧化層上產生電場。當電荷收集夠多，跨在閘極氧化層上的電場將導致MOS元件特性改變，甚至發生電流貫穿閘極氧化層造成損壞。

第1圖顯示使用二極體來降低天線效應之電路配置。

第1圖中，T1表示在一積體電路中之MOS元件，其基體極(bulk) B係耦接至其源極、或是最正電壓節點 V_{DD} (或是最負電壓節點 V_{SS})。設置於積體電路中之二極體D1，其陽極係耦接至積體電路之基底(substrate)上。假設，在連接至MOS元件T1閘極的導線L1，係具有很大面積或邊長很長，由於電漿之緣故，上述導線L1上可能累積有大量之電荷，而造成天線效應(圖示為Antenna)。

若累積之電荷為負電荷，則二極體D1可提供一放電路徑，藉以將負電荷排放至積體電路之基底，以避免MOS元件T1之閘極氧化層遭到損壞。但是，當累積之電荷為正電荷，由於缺乏放電路徑，故跨在MOS元件T1閘極氧化層上的電場將導致閘極氧化層之損壞。此外，由於二極體D1具有較大之雜散電容，對於積體電路本身之運作速度亦會造



五、發明說明 (2)

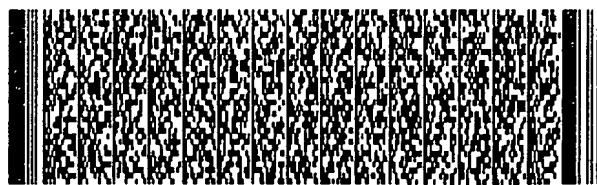
成不良之影響。

第2圖顯示使用傳輸閘(transmission gate)來降低天線效應之電路配置。第2圖中，連接至MOS元件T2閘極的導線L2，係具有很大大面積或邊長很長，由於電漿之緣故，上述導線L2上可能累積有大量之電荷，而造成天線效應(亦圖示為Antenna)。在此，T2表示在一積體電路中之MOS元件，其基體B極係耦接至其源極、或是最正電壓節點 V_{DD} (或是最負電壓節點 V_{SS})。

為了降低天線效應，第2圖在積體電路中設置一傳輸閘，耦接至上述MOS元件T2之閘極。傳輸閘中之NMOS電晶體NT，閘極和基體極係分別耦接節點 V_{DD} 和 V_{SS} ；傳輸閘中之PMOS電晶體PT，閘極和基體極係分別耦接節點 V_{SS} 和 V_{DD} 。無論天線效應累積正電荷、或負電荷，均可透過NMOS電晶體NT(或PMOS電晶體PT)之源/汲極和基底間之寄生二極體，而將正電電荷、或負電荷予以消除，以避免MOS元件T2之閘極氧化層遭到損壞。

因為傳輸閘是位在控制MOS元件T2閘極的路徑上，此傳輸閘本身會有寄生之電容C及電阻R，RC會導致控制T2閘極的訊號延遲，降低MOS元件T2之運作速度。為了提升MOS元件T2之運作速度，會希望降低R值，降低R值最快的方法是減少傳輸閘通道長度及增加寬度，但這樣C值亦會同增加。因此，使用傳輸閘來降低天線效應，對於R、C值的取捨會有其困難之處。

有鑑於此，本發明之目的為提出一種避免MOS元件遭



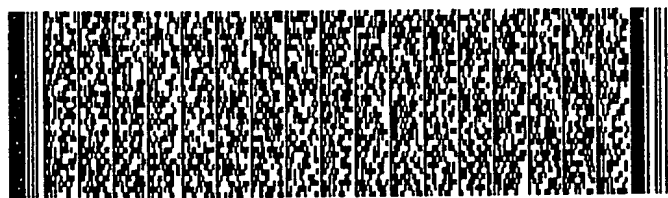
五、發明說明 (3)

受天線效應破壞之方法及其裝置，主要係透過旁路PMOS電晶體與旁路NMOS電晶體之設置，能夠將因天線效應所累積之不同極性電荷，有效地予以放電排除，以避免積體電路內MOS元件之薄閘極氧化層遭受破壞。

為達成上述目的，本發明提出之避免MOS元件遭受天線效應破壞之方法，包括：①設置一旁路PMOS電晶體於一第一電壓節點和上述MOS元件之閘極間，上述旁路PMOS電晶體之閘極、源極、基體極耦接於上述第一電壓節點，汲極耦接至上述MOS元件之閘極；②設置一旁路NMOS電晶體於一第二電壓節點和上述MOS元件之閘極間，上述旁路NMOS電晶體之閘極、源極、基體極耦接於上述第二電壓節點，汲極耦接至上述MOS元件之閘極。

當天線效應累積之正電荷出現於上述MOS元件之閘極上時，上述旁路PMOS電晶體將正電荷導入上述第一電壓節點，以避免正電荷進入及破壞上述MOS元件。又，當天線效應累積之負電荷出現於上述MOS元件之閘極上時，上述旁路NMOS電晶體將負電荷導入上述第二電壓節點，以避免負電荷進入及破壞上述MOS元件。

為達成上述目的，本發明提出之避免MOS元件遭受天線效應破壞之保護裝置，包括：①一旁路PMOS電晶體，其閘極、源極、基體極耦接於一第一電壓節點，其汲極耦接至上述MOS元件之閘極；當天線效應累積之正電荷出現於上述MOS電晶體之閘極上時，上述旁路PMOS電晶體將正電荷導入上述第一電壓節點，以避免正電荷進入及破壞上述



五、發明說明 (4)

MOS 元件；以及，②一旁路NMOS電晶體，其閘極、源極、基體極耦接於一第二電壓節點，其汲極耦接至上述MOS元件之閘極；當天線效應累積之負電荷出現於上述MOS元件之閘極上時，上述旁路NMOS電晶體將負電荷導入上述第二電壓節點，以避免負電荷進入及破壞上述MOS元件。

圖式之簡單說明：

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，做詳細說明如下：

第1圖顯示使用二極體來降低天線效應之電路配置；

第2圖顯示使用傳輸閘來降低天線效應之電路配置；

第3圖顯示依據本發明實施例，用以降低天線效應破壞之電路配置。

符號說明：

D1~二極體；

T1-T3~NMOS元件；

Antenna~天線效應；

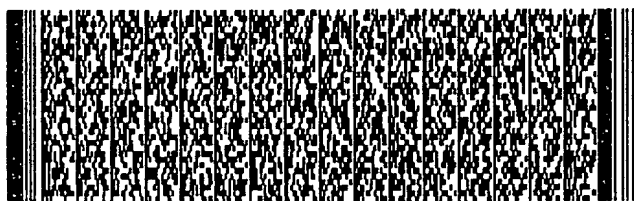
T~ NMOS電晶體；

PT~ PMOS電晶體；

L1-L3~導線；

BN~旁路NMOS電晶體；

BP~旁路PMOS電晶體。



五、發明說明 (5)

實施例：

第3圖顯示依據本發明實施例，用以降低天線效應破壞之電路配置。

參照第3圖，為了避免積體電路中之MOS元件遭受天線效應之破壞，本發明提出之方法，包括：

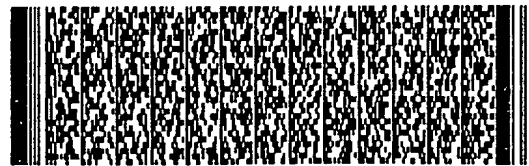
①設置一旁路PMOS電晶體BP於一第一電壓節點(V_{DD})和上述MOS元件T3之閘極間，上述旁路PMOS電晶體BP之閘極、源極、基體極耦接於上述第一電壓節點(V_{DD})，汲極透過導線L3而耦接至上述MOS元件之閘極；

②設置一旁路NMOS電晶體BN於一第二電壓節點(V_{SS})和上述MOS元件T3之閘極間，上述旁路NMOS電晶體BN之閘極、源極、基體極耦接於上述第二電壓節點(V_{SS})，汲極透過導線L3而耦接至上述MOS元件T3之閘極。

在此實施例中，上述MOS元件T3係為NMOS電晶體，但亦可能是PMOS電晶體。

參照第3圖，依據上述方法配置，即可得到本發明提出之避免MOS元件遭受天線效應破壞之保護裝置，包括：

①一旁路PMOS電晶體BP，其閘極、源極、基體極耦接於 V_{DD} 電壓節點，其汲極耦接至上述MOS元件T3之閘極；當天線效應在導線L3上累積之電荷(Antenna)為正極性，出現於上述MOS元件T3之閘極上時，上述旁路PMOS電晶體BP，透過由其內部之雜散二極體結構，將正電荷導入上述 V_{DD} 電壓節點，以避免正電荷進入及破壞上述MOS元件T3之閘極氧化層；以及



五、發明說明 (6)

② 一旁路NMOS電晶體BN，其閘極、源極、基體極耦接於 V_{SS} 電壓節點，其汲極耦接至上述MOS元件T3之閘極；當天線效應在導線L3上累積之電荷(Antenna)為負極性，出現於上述MOS元件T3之閘極上時，上述旁路NMOS電晶體，透過其內部之雜散二極體結構，將負電荷導入上述 V_{SS} 電壓節點，以避免負電荷進入及破壞上述MOS元件T3之閘極氧化層。

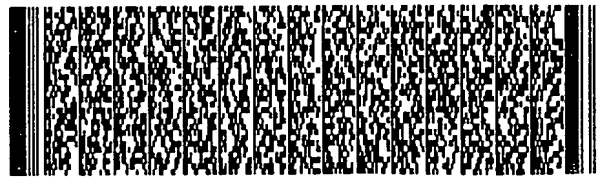
由上述可知，本發明之優點有：

(1) 將天線效應累積之正電荷，透過上述旁路PMOS電晶體BP，導入上述 V_{DD} 電壓節點；另外，對於天線效應累積之負電荷，則透過上述旁路NMOS電晶體BN，導入上述 V_{SS} 電壓節點。因此，本發明對於不同極性之電荷累積，本發明均能夠予以排除。

(2) 本發明使用之旁路NMOS、PMOS電晶體，其雜散電容僅存於電晶體之汲極和基底間，故相較於第2圖使用之傳輸閘而言，更能有效地減少寄生電容，同時沒有寄生電阻之問題，可有效提昇被保護元件之運作速度。

(3) 本發明增加之旁路NMOS、PMOS電晶體，對於使用MOS製程之積電路而言，更能增進與其他MOS元件之匹配特性。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉本項技藝者，在不脫離本發明之精神和範圍內，當可做些許之更動和潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種避免MOS元件遭受天線效應破壞之保護裝置，包括：

一旁路PMOS電晶體，其閘極、源極、基體極耦接於一第一電壓節點，其汲極耦接至上述MOS元件之閘極；當天線效應累積之正電荷出現於上述MOS元件之閘極上時，上述旁路PMOS電晶體將正電荷導入上述第一電壓節點，以避免正電荷進入及破壞上述MOS元件；

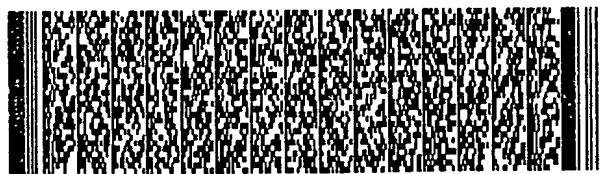
一旁路NMOS電晶體，其閘極、源極、基體極耦接於一第二電壓節點，其汲極耦接至上述MOS元件之閘極；當天線效應累積之負電荷出現於上述MOS元件之閘極上時，上述旁路NMOS電晶體將負電荷導入上述第二電壓節點，以避免負電荷進入及破壞上述MOS元件。

2. 一種避免MOS元件遭受天線效應破壞之方法，包括：

設置一旁路PMOS電晶體於一第一電壓節點和上述MOS元件之閘極間，上述旁路PMOS電晶體之閘極、源極、基體極耦接於上述第一電壓節點，汲極耦接至上述MOS元件之閘極；

設置一旁路NMOS電晶體於一第二電壓節點和上述MOS元件之閘極間，上述旁路NMOS電晶體之閘極、源極、基體極耦接於上述第二電壓節點，汲極耦接至上述MOS元件之閘極；

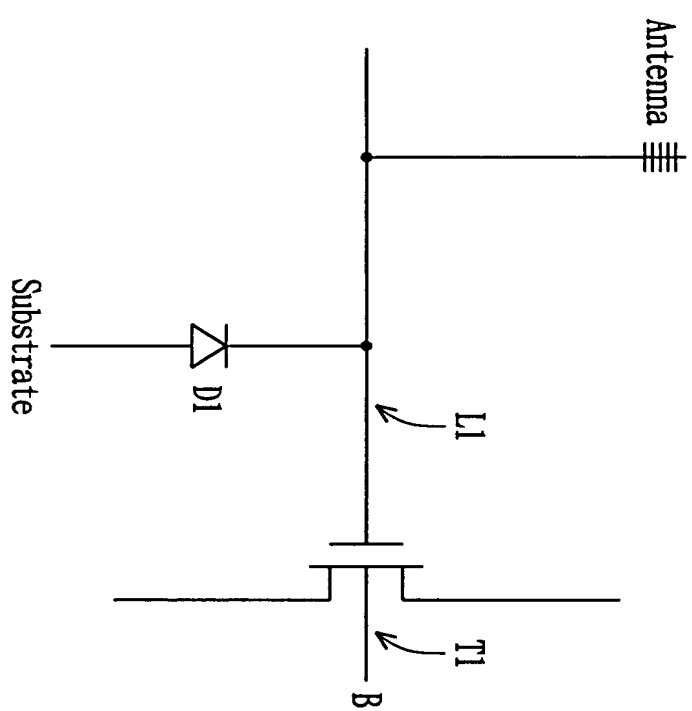
當天線效應累積之正電荷出現於上述MOS元件之閘極上時，上述旁路PMOS電晶體將正電荷導入上述第一電壓節



六、申請專利範圍

點，以避免正電荷進入及破壞上述MOS元件；當天線效應累積之負電荷出現於上述MOS元件之閘極上時，上述旁路NMOS電晶體將負電荷導入上述第二電壓節點，以避免負電荷進入及破壞上述MOS元件。

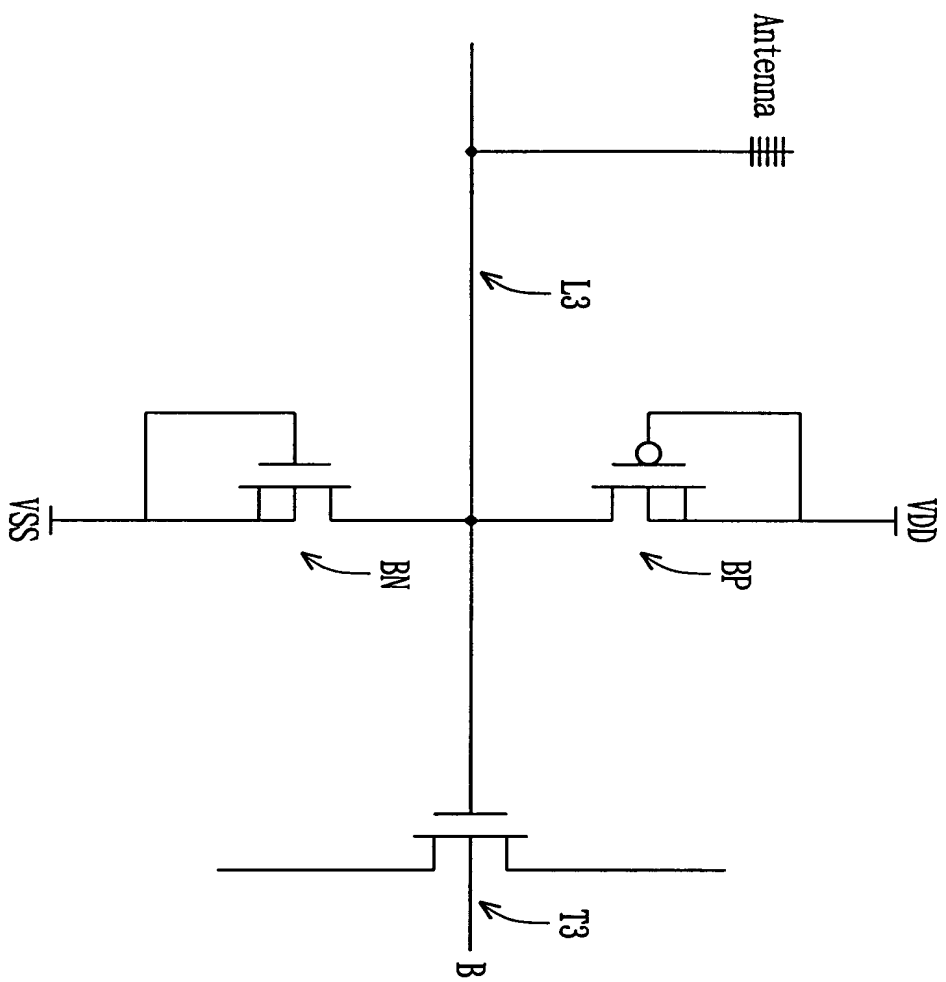




第 1 圖



第2圖

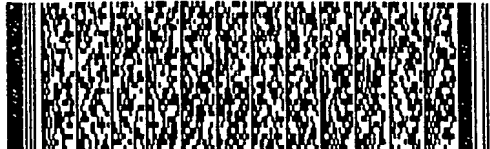


第3圖

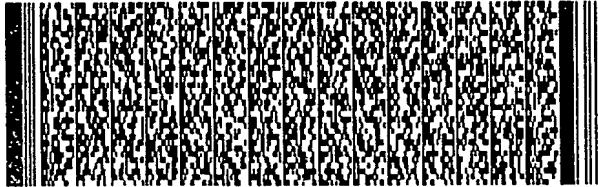
第 1/11 頁



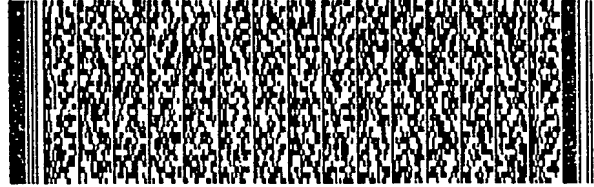
第 2/11 頁



第 4/11 頁



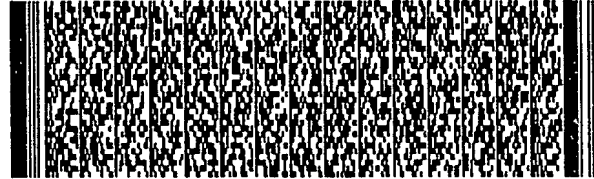
第 4/11 頁



第 5/11 頁



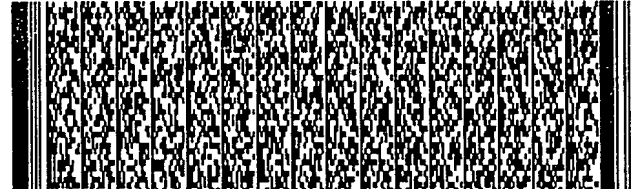
第 5/11 頁



第 6/11 頁



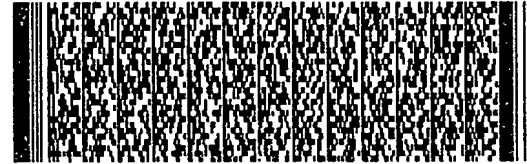
第 7/11 頁



第 8/11 頁



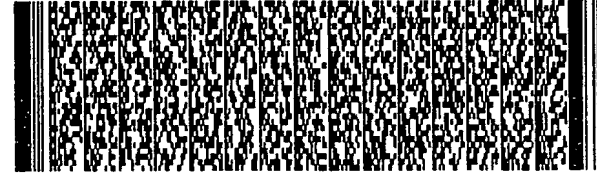
第 8/11 頁



第 9/11 頁



第 9/11 頁



第 10/11 頁



第 11/11 頁

